

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-109435

(43)Date of publication of application : 20.04.2001

(51)Int.Cl.

G09G 3/36
G02F 1/133
G02F 1/1345
G09F 9/00
G09G 3/20

(21)Application number : 11-284417

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 05.10.1999

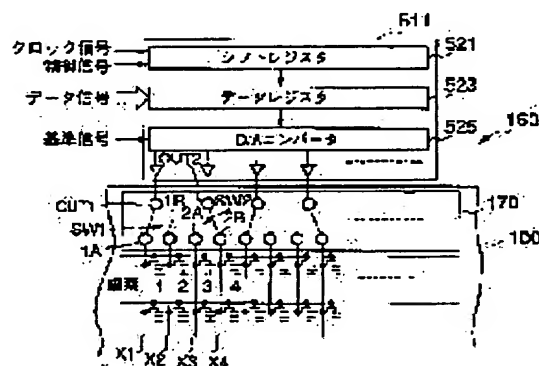
(72)Inventor : HANARI ATSUSHI
NAKAMURA NORIO
WATANABE MANABU
AOKI YOSHIAKI
HORI YOICHI
NAKAMURA KAZUO
SAKURAI YOSUKE
MURAI TETSUYA

(54) DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a display device which is capable of making pixels with high definition accur without incurring the increase of cost and is capable of preventing display failure from being generated.

SOLUTION: This display device is constituted of a selection circuit 170 that a gate driving circuit is formed directly on a substrate and a signal line driving circuit 160 is also formed directly on the substrate and an IC for driving signal lines 511 which is mounted on a TCP (tape carrier package) and the switch SW1 of the selection circuit 170 successively connects input terminals 1A, 1B of signal lines X1, X2 to an output terminal OUT1 and driving signals are successively outputted to respective signal lines in a horizontal scanning period.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2001-109435

(P 2001-109435 A)

(43) 公開日 平成13年4月20日 (2001. 4. 20)

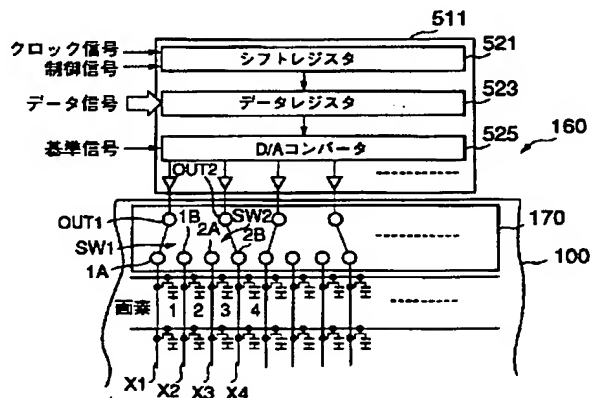
(51) Int. Cl. ⁷		識別記号	F I	テーマコード* (参考)	
G 0 9 G	3/36		G 0 9 G	3/36	2H092
G 0 2 F	1/133	5 0 5	G 0 2 F	1/133	2H093
	1/1345			1/1345	5C006
G 0 9 F	9/00	3 4 6	G 0 9 F	9/00	3 4 6 G 5C080
				3 4 6 C	5G435
審査請求		未請求	請求項の数 9	OL	(全 9 頁) 最終頁に続く
(21) 出願番号	特願平11-284417				
(22) 出願日	平成11年10月5日 (1999. 10. 5)				
(71) 出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地				
(72) 発明者	羽成 淳 埼玉県深谷市幡羅町1丁目9番2号 株式会 社東芝深谷工場内				
(72) 発明者	中村 則夫 埼玉県深谷市幡羅町1丁目9番2号 株式会 社東芝深谷工場内				
(74) 代理人	100058479 弁理士 鈴江 武彦 (外6名)				
					最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 コストの増大を招くことなく、画素の高精細化を可能とし、且つ、表示不良の発生を防止することが可能な表示装置を提供することを目的とする

【解決手段】 ゲート線駆動回路を基板上に直接形成し、信号線駆動回路 160 を基板上に直接形成した選択回路 170 と T C P 上に実装された信号線駆動用 I C 511 とで構成し、1 水平走査期間内に、選択回路 170 のスイッチ S W 1 が信号線 X 1 及び X 2 の入力端子 1 A 及び 1 B と出力端子 O U T 1 とを順次接続し、各信号線に順次駆動信号を出力する。



【特許請求の範囲】

【請求項 1】基板上に互いに直交して配列された複数のゲート線及び複数の信号線と、ゲート線と信号線とのそれぞれの交差部に配置された画素トランジスタと、各画素トランジスタに接続された画素電極とを絶縁基板上に備えたアレイ基板と、記信号線にアナログ映像信号を出力する信号線駆動手段と、を備えた表示装置において、前記信号線駆動手段は、入力されるデジタル信号をアナログ信号に変換すると共に、前記信号線を所定数の信号線から成る複数の信号線群に区分し、各前記信号線群毎に対応するアナログ信号をシリアルに出力する駆動 IC と、前記アレイ基板上に一体的に形成され、前記駆動 IC からのシリアルアナログ信号を各前記信号線群の対応する信号線に順次振り分けてる選択手段と、を備えたことを特徴とする表示装置。

【請求項 2】前記信号線駆動手段の前記駆動 IC からのシリアルアナログ信号は、1 水平走査期間に各前記信号線群の各信号線に対応するアナログ映像信号を含むことを特徴する請求項 1 に記載の表示装置。

【請求項 3】前記選択手段は、所定の垂直走査期間毎に、対応する前記信号線への振り分け順序が異ならしめられることを特徴とする請求項 2 に記載の表示装置。

【請求項 4】前記選択手段は、所定の水平走査期間毎に、対応する前記信号線への振り分け順序が異ならしめられることを特徴とする請求項 2 に記載の表示装置。

【請求項 5】前記選択手段は、所定の垂直走査期間毎及び所定の水平走査期間毎に、対応する前記信号線への振り分け順序が異ならしめられることを特徴とする請求項 2 に記載の表示装置。

【請求項 6】前記駆動 IC はフレキシブル配線基板上に実装されて前記アレイ基板に電気的に接続されることを特徴とする請求項 1 に記載の表示装置。

【請求項 7】前記フレキシブル配線基板上には、前記アレイ基板に選択制御信号及び電源を供給するための電源配線及び制御信号用配線が形成されたことを特徴とする請求項 6 に記載の表示装置。

【請求項 8】前記アレイ基板は、前記ゲート線に駆動信号を供給するゲート線駆動手段を一体的に含み、前記フレキシブル配線基板上には、前記ゲート線駆動手段の電源配線及び制御信号用配線が形成されたことを特徴とする請求項 7 に記載の表示装置。

【請求項 9】前記フレキシブル配線基板上において、前記駆動 IC は前記電源配線及び制御信号用配線に挟まれていることを特徴とする請求項 7 に記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、表示装置に係り、特に、外部回路との接続数が低減できる表示装置に関する。

【0002】

【従来の技術】表示装置、たとえばアモルファスシリコン TFT を用いた液晶表示装置の駆動回路としては、信号線駆動用 IC 及びゲート線駆動用 IC をフレキシブルな配線基板上に実装したテープ・キャリア・パッケージ (TCP) が用いられている。この TCP は、マトリクス状に配置された画素を有するアレイ基板に設けられた電極にそれぞれ接続され、画素を駆動する。

【0003】一方、多結晶シリコン TFT を用いた液晶表示装置では、駆動回路としての信号線駆動回路の一部及びゲート線駆動回路をアレイ基板上に一体的に形成することができる。この場合、基板外部にも信号線駆動回路の一部、例えばデジタル・アナログ変換回路 (DAC) が設けられるが、アモルファスシリコン TFT を用いた液晶表示装置と比較して、アレイ基板との接続配線の数的大幅に減少できる。

【0004】

【発明が解決しようとする課題】アモルファスシリコン TFT を用いた液晶表示装置では、アレイ基板上の信号線にそれぞれ TCP から映像信号を入力するための接続配線が必要であるが、画素の高精細化に伴って接続配線数が多くなり、これらの接続配線間に十分なピッチを確保することが困難である。

【0005】一方、多結晶シリコン TFT を用いた液晶表示装置では、基板上にゲート線駆動回路の他に、さらに信号線駆動回路を一体的に形成するが、基板の大型化に伴い基板上に引き回される配線長が長くなり、信号が劣化して表示不良を生じるおそれがある。

【0006】この発明は、上述した問題点に鑑みなされたものであって、その目的は、画素の高精細化を可能とし、且つ、大表示画面であっても表示不良の発生を防止することが可能な表示装置を提供することにある。

【0007】

【課題を解決するための手段】上記課題を解決し目的を達成するために、請求項 1 に記載の表示装置は、基板上に互いに直交して配列された複数のゲート線及び複数の信号線と、ゲート線と信号線とのそれぞれの交差部に配置された画素トランジスタと、各画素トランジスタに接続された画素電極とを絶縁基板上に備えたアレイ基板と、記信号線にアナログ映像信号を出力する信号線駆動手段と、を備えた表示装置において、前記信号線駆動手段は、入力されるデジタル信号をアナログ信号に変換すると共に、前記信号線を所定数の信号線から成る複数の信号線群に区分し、各前記信号線群毎に対応するアナログ信号をシリアルに出力する駆動 IC と、前記アレイ基板上に一体的に形成され、前記駆動 IC からのシリアルアナログ信号を各前記信号線群の対応する信号線に順次振り分けてる選択手段と、を備えたことを特徴とする表示装置にある。

【0008】

【発明の実施の形態】以下、この発明の表示装置、すな

わち多結晶シリコンTFTを画素TFTとして用い有効表示領域が対角15インチサイズの光透過型液晶表示装置の一実施の形態について図面を参照して説明する。

【0009】図1に示すように、この液晶表示装置1は、アレイ基板100と、このアレイ基板100に対して所定の間隔をおいて対向配置された対向基板200と、これらアレイ基板100と対向基板200との間に挟持され配向膜（図示せず）を介して配置される液晶層300とを備えている。アレイ基板100と対向基板200とは、その周辺に配置されるシール材400によって貼り合わせられている。

【0010】アレイ基板100は、行方向に沿って延出された複数のゲート線Yと、列方向に沿って延出された複数の信号線Xと、ゲート線Yと信号線Xとの各交差部に設けられたスイッチング素子としての画素薄膜トランジスタすなわち画素TFT110と、ゲート線Yと信号線Xとによって囲まれた各画素に対応して設けられた画素電極120と、を備えている。

【0011】画素TFT110は、多結晶シリコン膜を半導体層とする多結晶シリコンTFTである。画素TFT110のゲート電極は、ゲート線Yに接続されているとともに、ソース電極は、信号線Xに接続されている。また、画素TFT110のドレイン電極は、画素電極120及びこの画素電極120と並列に補助容量素子130を構成する一方の電極に接続されている。

【0012】ゲート線Yを駆動するための駆動信号を出力するゲート線駆動手段として機能するゲート線駆動回路150は、画素TFT110と同一プロセスでアレイ基板100上に一体的に形成されている。

【0013】信号線Xを駆動するための駆動信号を出力する信号線駆動回路部160は、フレキシブル配線基板上に信号線駆動用IC511が実装され、アレイ基板100と電気的に接続されるTCP500-1、500-2…、500-6と、アレイ基板100上に画素TFT110と同一プロセスで形成された選択手段として機能する選択回路170とによって構成される。

【0014】TCP500-1～6は、アレイ基板100の一辺に列設され、外部回路基板としてのPCB基板600に接続されている。このPCB基板600には、外部から入力される基準クロック信号及びデジタル方式のデータ信号に基づいて、各種制御信号及び制御信号に同期したデータ信号を出力する制御IC、電源回路などが実装されている。

【0015】TCP500-Nは、図2に示すように、PCB基板600に形成された接続配線上の接続端子に接続されるPCB側パッド513と、アレイ基板100に形成された接続配線上の接続端子に接続されるアレイ側パッド515と、これらのパッド間を接続する各種配線とを備えている。これらのPCB側パッド513及びアレイ側パッド515は、異方性導電フィルム（AC

F）を介してそれぞれPCB基板600及びアレイ基板100に電気的に接続されている。

【0016】信号線駆動回路部160の信号線駆動用IC511は、PCB基板600からの入力信号に基づいて、データ信号をアナログ方式の映像信号として出力する。

【0017】すなわち、図3に示すように、信号線駆動用IC511は、シフトレジスタ521、データレジスタ523、D/Aコンバータ525などから構成されている。シフトレジスタ521には、PCB基板600側からクロック信号及び制御信号が入力される。データレジスタ523には、PCB基板600側からデータ信号が入力される。また、D/Aコンバータ525には、PCB基板600側から基準信号が入力され、入力されたデータ信号がアナログ映像信号に変換される。

【0018】TCP-Nの信号線駆動用IC511から出力される各アナログ映像信号は、各水平走査期間毎に2つの信号線に対応したアナログ映像信号を含み、これを時系列に出力し、これがアレイ基板100上に形成された信号線駆動回路部160の選択回路170に入力される。

【0019】選択回路170は、信号線駆動用IC511からの配線に接続され、信号線駆動用IC511からの各シリアルアナログ映像信号が出力される出力端子OUT1、OUT2…と、信号線X1、X2…の一端に設けられた入力端子1A及び1B、2A及び2B…とを選択的に接続するスイッチSW1、SW2…を備えており、これにより各水平走査期間で信号線駆動用IC511からの2つの隣接する信号線に対応するシリアルな各アナログ映像信号は、後述するように隣接する2つの信号線に順次振り分けられる。

【0020】この実施の形態では、出力端子OUTの数は、信号線Xの数の半分であり、1出力端子から2本の信号線に対して順次駆動信号を出力している。更に接続数を低減するのであれば、出力端子OUTの数を信号線Xの数の1/4等にもすることは可能である。

【0021】そして、例えば、スイッチSW1は、スイッチ信号に基づいて、1水平走査期間内に、出力端子OUT1と、信号線X1及びX2の入力端子1A及び1Bとをそれぞれ所定のタイミングで順次接続する。スイッチSW1は、スイッチ信号がONのタイミングで出力端子OUT1と入力端子1Aとを接続し、スイッチ信号がOFFのタイミングで出力端子OUT1と入力端子1Bとを接続する。

【0022】スイッチSW2も同様に、1水平走査期間内に、出力端子OUT2と、信号線X3及びX4の入力端子2A及び2Bとをそれぞれ所定のタイミングで接続する。スイッチSW2は、スイッチ信号がONのタイミングで出力端子OUT2と入力端子2Bとを接続し、スイッチ信号がOFFのタイミングで出力端子OUT2と

10

20

30

40

50

入力端子 2 B とを接続する。

【0023】このように、ゲート線駆動回路を基板上に一体的に形成し、信号線駆動回路を基板上に一体的に形成した選択回路と T C P 上に実装された信号線駆動用 I C とで構成し、1 水平走査期間内に、選択回路のスイッチが複数の信号線に順次駆動信号を出力することにより、画素を高精細化してもアレイ基板上に形成される接続配線の本数に十分に対応して形成する必要がなくなり、接続配線間のピッチを十分に確保できる。

【0024】また、ゲート線駆動回路及び信号線駆動回路をすべて基板上に形成する場合と比較して、配線長が長くなることを防止することができ、データ信号、あるいは映像信号の劣化を防止できるとともに、製造コストの増大を防止できる。

【0025】次に、各信号線 X の駆動方法、すなわち各信号線から各画素へのアナログ映像信号の書き込み方法の一例について説明する。

【0026】ここで、たとえば 1 水平走査期間の前半に入力端子 1 A、後半に入力端子 1 B にそれぞれ接続された信号線 X 1 及び X 2 に映像信号の書き込みを行う場合について説明する。

【0027】まず、1 水平走査期間の前半に、スイッチ S W 1 が入力端子 1 A に接続され、信号線 X 1 にアナログ映像信号が書き込まれる。信号線 X 1 にアナログ映像信号が保持されている状態で、1 水平周期の後半に、スイッチ S W 1 が入力端子 1 B に接続され、信号線 X 2 にアナログ映像信号が書き込まれる。

【0028】この際、信号線 X 1 は、信号線 X 2 の電位変化に伴い、信号線同士の結合容量によって、電位の変化が生じてしまう。その結果、信号線 X 1 では、本来、書き込まれるべきアナログ映像信号に基づく電位と異なる電位に変動し、表示上、問題が生じる恐れがある。

【0029】たとえば、1 垂直走査期間毎に信号線に書き込まれる映像信号の極性すなわち正負を切り替え、また隣接する信号線に正負が反転する映像信号が書き込まれる V ライン反転駆動の場合、一様画面を表示させる、たとえば電圧を印加して黒表示をする場合、コモン電位を 5 V とすれば、正側は 9 V、負側は 1 V の電圧を印加することとなる。

【0030】先の問題が生じた場合、信号線 X 1 が 9 V の電位を書き込まれた後、隣接する信号線 X 2 に 1 V を書き込むが、信号線 X 1 の電位が信号線 X 2 の電位変動により 9 V の電位が 5 V に近づく方向に変化することになる。すなわち、黒のレベルが変化し、変動が大きい場合には、縦に階調の異なる縞が見えてしまうことになり、表示装置としての機能に重大な支障が生じる。

【0031】そこで、この実施の形態では、信号線への書き込み順序を所定の垂直走査期間及び水平走査期間の少なくとも一方毎に変えることにより、電位変動を生じた画素を時間的あるいは空間的に分散し、これによ

て、表示画面の階調変動を視認しづらくする。

【0032】すなわち、図 4 に示すように、n フレームにおいて、スイッチ S W 1 には、1 水平走査期間の前半で O N となり、後半で O F F となるスイッチ信号が入力される。これにより、出力端子 O U T 1 は、1 水平走査期間の前半に入力端子 1 A に接続され、後半に入力端子 1 B に接続される。また、スイッチ S W 2 には、1 水平走査期間の前半で O F F となり、後半で O N となるスイッチ信号が入力される。これにより、出力端子 O U T 2 は、1 水平走査期間の前半に入力端子 2 B に接続され、後半に入力端子 2 A に接続される。

【0033】出力端子 O U T 1 から出力される出力信号は、1 水平走査期間の前半及び後半で反転し、前半には、接続された入力端子 1 A を介して信号線 X 1 に正の映像信号を書き込み、後半には、接続された入力端子 1 B を介して信号線 X 2 に負の映像信号を書き込む。

【0034】出力端子 O U T 2 から出力される出力信号は、1 水平走査期間の前半及び後半で反転し、前半には、接続された入力端子 2 B を介して信号線 X 4 に負の映像信号を書き込み、後半には、接続された入力端子 2 A を介して信号線 X 3 に正の映像信号を書き込む。

【0035】これにより、画素 1 には、1 水平走査期間の前半から正の映像信号が書き込まれ、画素 2 には、後半から負の映像信号が書き込まれることになる。また、画素 3 には、1 水平走査期間の後半から正の映像信号が書き込まれ、画素 4 には、前半から負の映像信号が書き込まれることになる。

【0036】このとき、隣接する画素の書き込み電位の影響により、1 水平走査期間の前半に書き込まれた電位が変動する。すなわち、画素 1 では、画素 2 に電位が書き込まれた影響により、書き込み時の 9 V からわずかに低下し、また、画素 4 では、画素 3 に電位が書き込まれた影響により、書き込み時の 1 V からわずかに上昇する。

【0037】続いて、図 5 に示すように、(n+1) フレームにおいて、スイッチ S W 1 には、1 水平走査期間の前半で O F F となり、後半で O N となるスイッチ信号が入力される。これにより、出力端子 O U T 1 は、1 水平走査期間の前半に入力端子 1 B に接続され、後半に入力端子 1 A に接続される。また、スイッチ S W 2 には、1 水平走査期間の前半で O N となり、後半で O F F となるスイッチ信号が入力される。これにより、出力端子 O U T 2 は、1 水平走査期間の前半に入力端子 2 A に接続され、後半に入力端子 2 B に接続される。

【0038】出力端子 O U T 1 から出力される出力信号は、1 水平走査期間の前半及び後半で反転し、前半には、接続された入力端子 1 B を介して信号線 X 2 に正の映像信号を書き込み、後半には、接続された入力端子 1 A を介して信号線 X 1 に負の映像信号を書き込む。

【0039】出力端子 O U T 2 から出力される出力信号

は、1水平走査期間の前半及び後半で反転し、前半には、接続された入力端子2Aを介して信号線X3に負の映像信号を書き込み、後半には、接続された入力端子2Bを介して信号線X4に正の映像信号を書き込む。

【0040】これにより、画素1には、1水平走査期間の後半から負の映像信号が書き込まれ、画素2には、前半から正の映像信号が書き込まれることになる。また、画素3には、1水平走査期間の前半から負の映像信号が書き込まれ、画素4には、後半から正の映像信号が書き込まれることになる。

【0041】このとき、画素2では、画素1に電位が書き込まれた影響により、書き込み時の9Vからわずかに低下し、また、画素3では、画素4に電位が書き込まれた影響により、書き込み時の1Vからわずかに上昇する。

【0042】このように、nフレームにおいて、画素1及び画素4の電位がそれぞれコモン電位に近い方向にずれ、画素2及び画素3と比較して、黒レベルが薄くなる。また、(n+1)フレームにおいて、画素2及び画素3の電位がそれぞれコモン電位に近い方向にずれ、画素1及び画素4と比較して、黒レベルが薄くなる。

【0043】表示画面上の他の部分についても同様に動作するため、この場合、信号線X1に接続された画素列及び信号線X2に接続された画素列、あるいは、信号線X3に接続された画素列及び信号線X4に接続された画素列の黒レベルが交互に薄くなる。この結果、表示画面全体として、表示が薄くなる部分が平均化されることになり、電位変動の影響による表示の変動を視認しづらくすることが可能となる。

【0044】したがって、信号線駆動用ICの出力端子数が信号線の本数より少ないため、信号線駆動用ICの個数を低減することが可能となり、コストを低減できるとともに、信号線駆動用ICの個数を低減しても、画面の表示品位を低下させることなく表示させることが可能となる。

【0045】上述した実施の形態では、信号線の選択周期を1垂直走査期間毎としたが、1水平走査期間毎でも同様の作用が生じ、電位が変動する画素を市松状に分散することができる。また、1水平走査期間毎且つ1垂直走査期間毎に信号線の選択周期を変更しても良い。この場合、市松状の配列が垂直走査期間毎に入れ替わることになり、一層電位変動を生じた画素を平均化できる。

【0046】同様に、信号線の選択周期を1水平走査期間や1垂直走査期間に限らず、複数周期で実行しても良い。例えば、信号線の選択周期を1水平走査期間毎且つ2垂直走査期間毎に変更しても良い。すなわち、上述した実施の形態では、ある画素に注目した場合、電位変動が特定の極性の映像信号を書き込む際に生じるという偏りがあったが、この場合には、極性に関しても順に入れ替わるため、偏りの発生を抑制できる。

【0047】上述した実施の形態では、図1に示したTCP500-1~6は、すべて同一であり、図2に示したように構成されている。すなわち、各TCP500-NのPCBパッド513及びアレイパッド515に対応したPCB基板600上及びアレイ基板100上の接続配線数及び接続配線間のピッチは、それぞれ同一である。

【0048】このTCP500-Nは、信号線駆動用IC511にPCB基板600からの入力信号に対応して設けられた入力信号用配線群531、信号線駆動用IC511からの出力信号に対応して設けられた出力信号用配線群533、液晶表示装置用の電源配線、選択回路170のスイッチSW用の電源配線及びスイッチ信号(制御信号)用配線などの各種配線群535および537を備えている。

【0049】図2に示すように、信号線駆動用IC511への入力信号用配線群531及び出力信号用配線群533は、略等しい本数に分配された各種配線群535と537との間に配置されている。

【0050】アレイ基板100の両端に配置されたTCP500-1及び500-6は、アレイ基板100の両端に設けられたゲート線駆動回路150に対応して、各種配線群535及び537に、ゲート線駆動回路150用の電源配線及び制御信号用配線を備えている。もちろん、ゲート線駆動回路150がアレイ基板の一端のみに設けられた場合には、これに対応して一方のTCP500-1または500-6のみに、ゲート線駆動回路150用の電源配線及び制御信号用配線を備えればよい。

【0051】このように、TCP上にゲート線駆動回路用の電源配線及び制御信号用配線や、選択回路のスイッチ用の電源配線及びスイッチ信号用配線、液晶表示装置用の電源配線などを、信号線駆動用ICの入出力信号用配線とともに形成することにより、別途の配線部材を用意する必要がなくなり、コストを低減することが可能となる。

【0052】なお、上述した実施の形態では、TCP500-1~6をすべて同一としたが、TCP500-1及び500-6と、TCP500-2~500-5とを異なる構成としてもよい。すなわち、TCP500-2~500-5のアレイパッド515に対応したアレイ基板100上の接続配線数は、TCP500-1及び500-6に比べて少ない。このため、TCP500-2~500-5は、接続配線間のピッチをより拡大できる。

【0053】より具体的には、TCP500-1及び500-6は、図2に示すような構造であって、信号線駆動用IC511にPCB基板600からの入力信号に対応して設けられた入力信号用配線群531、信号線駆動用IC511からの出力信号に対応して設けられた出力信号用配線群533、液晶表示装置用の電源配線、選択回路170のスイッチSW用の電源配線及びスイッチ信

号(制御信号)用配線、ゲート線駆動回路150用の電源配線及び制御信号用配線などの各種配線群535および537を備えている。

【0054】図2に示すように、信号線駆動用IC511への入力信号用配線群531及び出力信号用配線群533は、略等しい本数に分配された各種配線群535と537との間に配置されている。

【0055】TCP500-2~500-5は、図6に示すような構造であって、信号線駆動用IC511にP
CB基板600からの入力信号に対応して設けられた入
力信号用配線群531、信号線駆動用IC511からの
出力信号に対応して設けられた出力信号用配線群53
3、液晶表示装置用の電源配線、選択回路170のス
イッチSW用の電源配線及びスイッチ信号(制御信号)用
配線などの各種配線群541および543を備えてい
る。

【0056】図6に示すように、信号線駆動用IC511への入力信号用配線群531及び出力信号用配線群533は、略等しい本数に分配された各種配線群541と543との間に配置されている。

【0057】図2に示したTCPにおける各種配線群535及び537の本数は、20~40本程度であるのに対して、図6に示したTCPにおける各種配線群541及び543の本数は、5~20本程度である。

【0058】図7に示すように、アレイ基板100の一端側に、TCP500-1が接続される。アレイ基板100は、その一辺に沿って、TCP500-1のアレイパッド515が接続される接続パッド群PDを備えている。これらの接続パッド群PDの中央部には、信号線駆動用IC511からの出力信号、スイッチ信号、スイッチの電源を選択回路170に入力するためのパッドが設けられている。

【0059】接続パッド群PDの一端側には、主にゲート線駆動回路150に電源及び制御信号を入力するためのパッドが設けられている。これらのパッドから供給される制御信号としては、例えば、ゲート線駆動回路150がシフトレジスタで構成されている場合、クロック信号やスタート信号、リセット信号などである。また、これらのパッドからは、必要に応じて液晶表示装置の電源が供給されても良い。

【0060】図8に示すように、アレイ基板100の一辺に沿った中央部には、TCP500-2~500-5が接続される。アレイ基板100は、その一辺に沿って、TCP500-2~500-5のアレイパッド515が接続される接続パッド群PDを備えている。これらの接続パッド群PDには、信号線駆動用IC511からの出力信号、スイッチ信号、スイッチの電源を選択回路170に入力するためのパッドが設けられている。

【0061】図9に示すように、アレイ基板100の他端側に、TCP500-6が接続される。アレイ基板1

00は、その一辺に沿って、TCP500-6のアレイパッド515が接続される接続パッド群PDを備えている。これらの接続パッド群PDの中央部には、信号線駆動用IC511からの出力信号、スイッチ信号、スイッチの電源を選択回路170に入力するためのパッドが設けられている。

【0062】接続パッド群PDの他端側には、主にゲート線駆動回路150に電源及び制御信号を入力するためのパッドが設けられている。また、これらのパッドからは、必要に応じて液晶表示装置の電源が供給されても良い。

【0063】以上の構成により、TCP500-2~500-5は、信号線駆動ICからの出力信号が入力される配線の他、選択回路170のスイッチSW用の電源及びスイッチ信号を入力するための配線のみで良く、TCP500-1及び500-6と比べて接続すべき配線の数を削減することができる。このため、各配線の一端に設けられたパッドのピッチを拡大することができる。これにより、信頼性を損なうことなく、高精細化を図ることが可能である。

【0064】上述した実施形態に代えて、信号線駆動ICをアレイ基板上にACF等を介してフェースダウン・ボンディング等により実装する、例えばCOG実装しても構わない。

【0065】

【発明の効果】以上説明したように、この発明によれば、コストの増大を招くことなく、画素の高精細化を可能とし、且つ、表示不良の発生を防止することが可能な表示装置を提供することができる。

【図面の簡単な説明】

【図1】図1は、この発明の表示装置の一実施の形態に係る液晶表示装置の構成を概略的に示す図である。

【図2】図2は、図1に示した液晶表示装置の一辺に設けられるTCPの構成を概略的に示す図である。

【図3】図3は、図1に示した液晶表示装置の信号線駆動回路の構成を概略的に示す図である。

【図4】図4は、図1に示した液晶表示装置の各画素にデータ信号を書き込む際のタイミングチャートを示す図である。

【図5】図5は、図1に示した液晶表示装置の各画素にデータ信号を書き込む際のタイミングチャートを示す図である。

【図6】図6は、図1に示した液晶表示装置の一辺に設けられるTCPの構成を概略的に示す図である。

【図7】図7は、図1に示した液晶表示装置のアレイ基板の一端側に設けられた配線パッドの構成を概略的に示す図である。

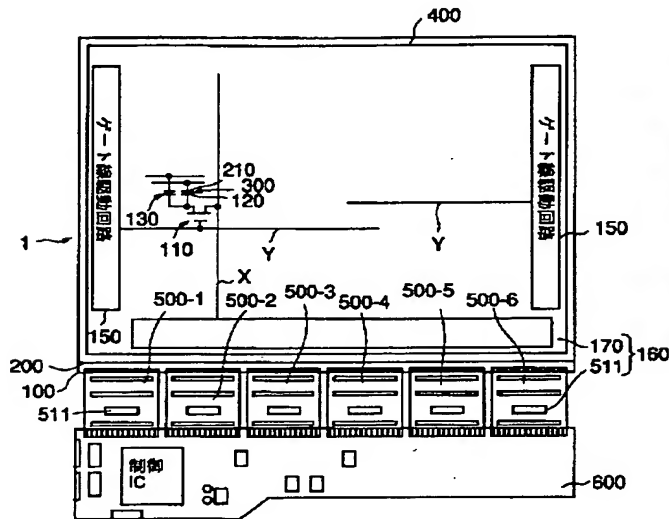
【図8】図8は、図1に示した液晶表示装置のアレイ基板の中央部に設けられた配線パッドの構成を概略的に示す図である。

【図9】図9は、図1に示した液晶表示装置のアレイ基板の他端側に設けられた配線パッドの構成を概略的に示す図である。

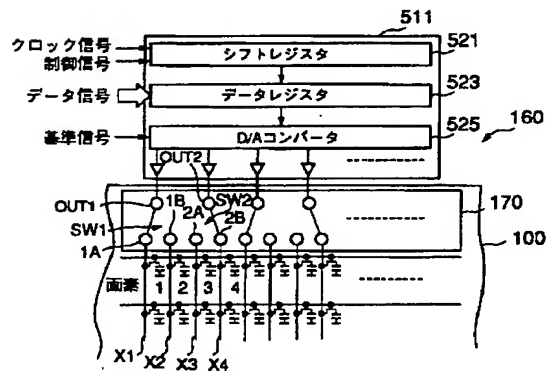
【符号の説明】

- 1…液晶表示装置
100…アレイ基板
110…多結晶シリコン薄膜トランジスタ

【図1】

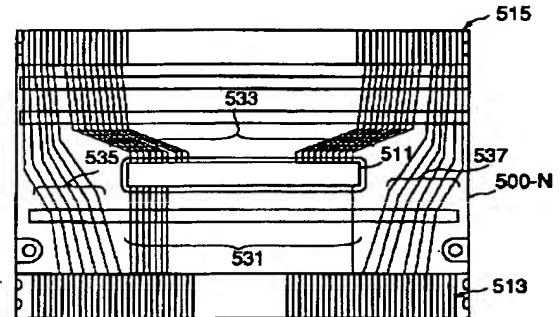


【図3】

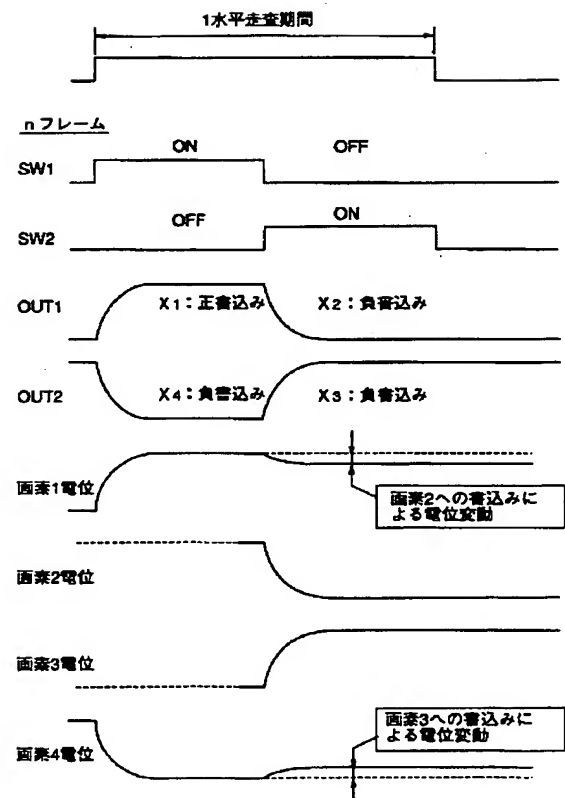


- 150…ゲート線駆動回路
160…信号線駆動回路
170…選択回路
200…対向基板
300…液晶層
500-N…TCP
511…信号線駆動用IC

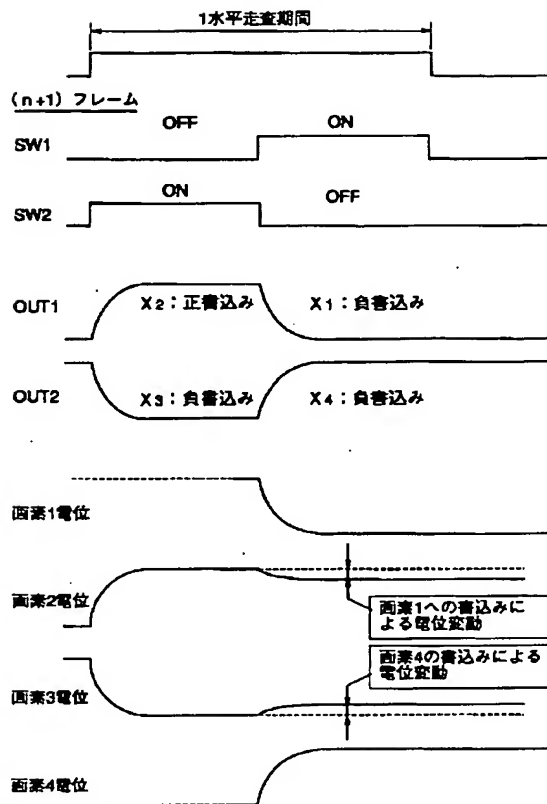
【図2】



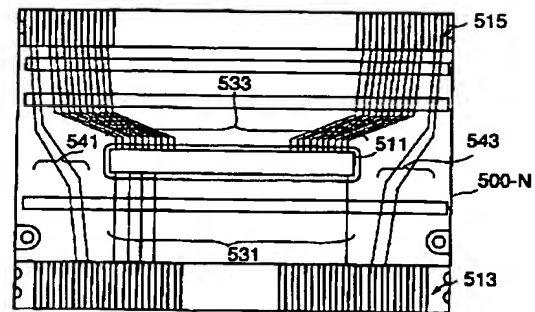
【図4】



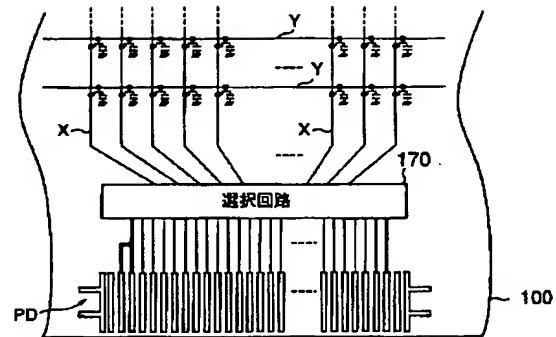
【図5】



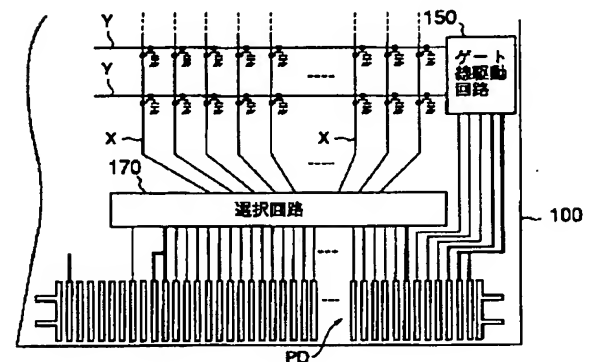
【図6】



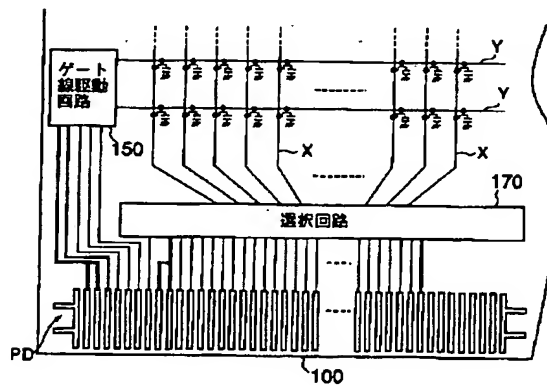
【図8】



【図9】



【図7】



フロントページの続き

(51) Int. Cl. 7
G 0 9 G 3/20

識別記号
6 2 1
6 2 3

F I
G 0 9 G 3/20

テーマコード(参考)

6 2 1 M
6 2 3 R

6 8 0

6 8 0 G

(72) 発明者 渡邊 学
埼玉県深谷市幡羅町 1 丁目 9 番 2 号 株式
会社東芝深谷工場内

(72) 発明者 青木 良朗
埼玉県深谷市幡羅町 1 丁目 9 番 2 号 株式
会社東芝深谷工場内

(72) 発明者 堀 陽一
埼玉県深谷市幡羅町 1 丁目 9 番 2 号 株式
会社東芝深谷工場内

(72) 発明者 中村 和夫
埼玉県深谷市幡羅町 1 丁目 9 番 2 号 株式
会社東芝深谷工場内

(72) 発明者 櫻井 洋介
埼玉県深谷市幡羅町 1 丁目 9 番 2 号 株式
会社東芝深谷工場内

(72) 発明者 村井 哲也
埼玉県深谷市幡羅町 1 丁目 9 番 2 号 株式
会社東芝深谷工場内

F ターム (参考) 2H092 GA49 GA50 GA60 JA24 JA34
JA37 JB22 JB31 JB69 KA04
KA05 NA01 NA29 PA06
2H093 NA34 NA43 NC01 NC11 NC22
ND20 ND52 ND60
5C006 AA01 AA16 AC27 AF42 AF44
AF83 BB16 BC13 BC16 BC20
BC23 BF03 BF24 EB05 FA22
FA42
5C080 AA10 BB05 DD05 DD23 DD25
EE29 FF11 JJ02 JJ04 JJ06
5G435 AA01 AA17 BB12 CC09 EE37
EE40